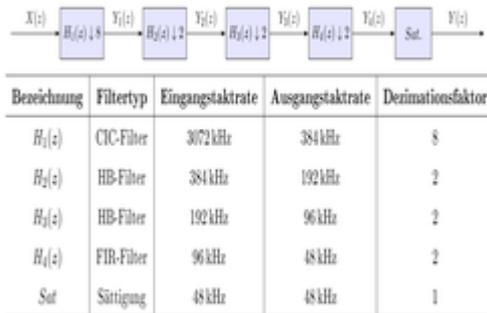
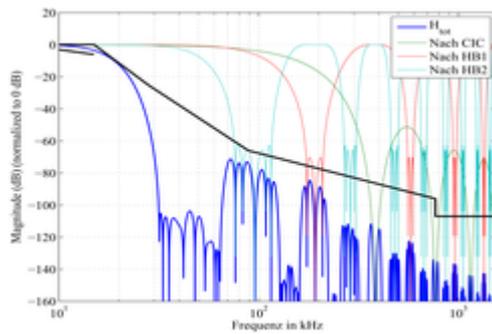


Dezimationsfilter für ein Sensorinterface

Vertiefungsarbeit 2



Filterstruktur des Multistage-Dezimationsfilters

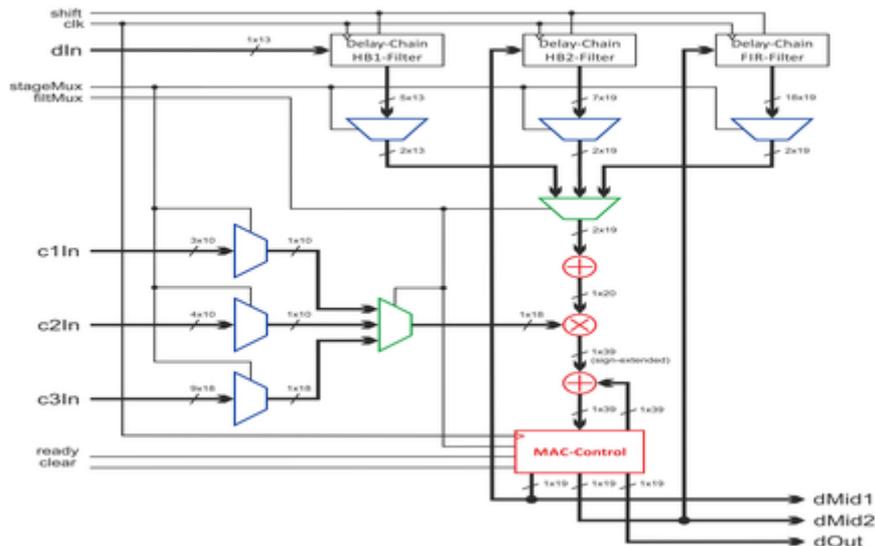


Frequenzgang des Multistage-Dezimationsfilters

Ausgangslage: Die Firma ams AG, die mit einem Designhaus in Rapperswil vertreten ist, stellt integrierte Schaltungen für Sensorinterfaces, beispielsweise für Mikrofone, her. In den heutigen Smartphones sind immer mehr Mikrofone pro Gerät vorhanden. Dies macht einen hochintegrierten Sensorinterface-Chip nötig. Im Chip ist ein Dezimationsfilter integriert, um den vom $\Sigma\Delta$ -Modulator kommenden hochfrequente Bitstream zu dezimieren und ein Ausgangssignal zu erhalten, welches die geforderte Abtastrate und Auflösung aufweist. Es soll ein Dezimationsfilter entwickelt und ausgetestet werden, welcher die geforderten Spezifikationen einhält und im Bezug auf die Chipfläche optimiert wird.

Ziel der Arbeit: Nach einer kurzen Literaturstudie soll mittels Matlab ein Dezimationsfilter entwickelt und ausgetestet werden. Der entwickelte Filter soll mit der Hardwarebeschreibungssprache VHDL auf einen FPGA synthetisiert und ausgetestet werden. In einem zweiten Schritt soll das Design im Bezug auf die benötigte Fläche in einem ASIC optimiert werden. Um den Filter zu synthetisieren soll Synopsys eingesetzt werden.

Ergebnis: Es konnten zwei Varianten eines Dezimationsfilters entwickelt werden, welche aus einem CIC-Filter, zwei HB-Filtern und einem FIR-Filter in Serie bestehen. Der Unterschied der beiden Varianten liegt in der Ordnung der benötigten Filterstufen. Beim ersten Design kann der Dezimationsfilter von sich aus Aliasing unterdrücken. Beim zweiten Design konnte unter Miteinbezug der Übertragungsfunktionen des $\Sigma\Delta$ -Modulators und des MEMS-Mikrofons die Filterordnung der einzelnen Stufen reduziert und dadurch die Chipfläche im Bezug auf das erste Design reduziert werden.



Time-Multiplexing Struktur des Multistage-Dezimationsfilters